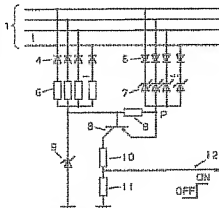


REDUCED/EXCESS VOLTAGE DETECTION CIRCUIT

Patent number: JP2001034347 (A)
 Publication date: 2001-02-08
 Inventor(s): YAMAMOTO SHINJI
 Applicant(s): MATSUSHITA ELECTRIC IND CO LTD
 Classification:
 - international: H02H3/20; G01R19/165; G05F1/10; H02H3/24; H02H3/20; H02H3/24; H02H3/20; G01R19/165; G05F1/10; H02H3/24; H02H3/20; H02H3/24; (IPC1-7): H02H3/20; H02H3/24; G05F1/10; G01R19/165
 - european:
 Application number: JP19990203060 19990716
 Priority number(s): JP19990203060 19990716

Abstract of JP 2001034347 (A)

PROBLEM TO BE SOLVED: To simplify the constitution of a circuit by detecting both of reduced voltage and excess voltage of each of plural DC power supplies (hereinafter referred to as +B power supplies) having respectively different voltage levels by one switching circuit. **SOLUTION:** When the voltage of any one of plural +B power supplies 1 is dropped to a low voltage, diodes 4, 5 connected to the +B power supply 1 are turned on and a transistor (TR) 3 is turned on, so that the output 12 is turned to high voltage. When the voltage of any one of the +B power supplies 1 exceeds required voltage, the emitter voltage of the TR 3 is boosted, so that the TR 3 is turned on and the output 12 is turned to high voltage. Since the reduced voltage state and excess voltage state of any one of the +B power supplies 1 can be detected by one switching circuit, the constitution of the circuit can be simplified.



Data supplied from the esp@cenet database — Worldwide

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開2001-34347

(P2001-34347A)

(43) 公開日 平成13年2月9日 (2001.2.9)

(51) Int.Cl.⁷

識別番号

F I

データベース^{*}(参考)

G 0 5 F 1/10

3 0 1

G 0 5 F 1/10

3 0 1 A 2 G 0 3 6

G 0 1 R 19/165

G 0 1 R 19/165

K 5 G 0 0 4

// H 0 2 H 3/20

H 0 2 H 3/20

A 5 H 4 1 0

3/24

3/24

A

審査請求 未請求 請求項の数 1 O L (全 4 頁)

(21) 出願番号

特願平11-203060

(22) 出願日

平成11年7月16日 (1999.7.16)

(71) 出願人 000001821

松下電器産業株式会社

大阪府門真市大字門真1006番地

(72) 発明者 山本 慎治

大阪府門真市大字門真1006番地 松下電器

産業株式会社内

(74) 代理人 10009/445

弁理士 岩橋 文雄 (外2名)

Fターム(参考) 2G035 A400 A802 AC01 AC19 AD02

AD04 AD08 AD10

5G004 AA04 AB02 BA07 BA08 DC08

FA01

5H410 CC02 CC05 DD02 EA10 EB01

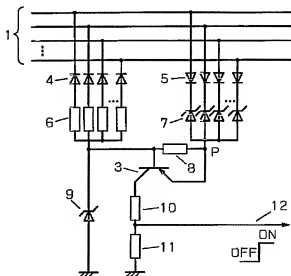
FF03 FF22 LL02

(54) 【発明の名称】 減過電圧検出回路

(57) 【要約】

【課題】 複数の電圧の異なる直流電源(以下 +B電源と称する)に対して、各+B電源の減電圧と過電圧の両方を一つのスイッチング回路により検出することで回路構成を簡素化することを目的とする。

【解決手段】 +B電源1のいずれかの電圧がLOW電圧に落ちた時、それに接続されるダイオード4および5がONし、トランジスタ3がONするため、出力12がHIGH電圧になる。次に+B電源1のいずれかの電圧が所要電圧を上回った時、トランジスタ3のエミッタ電圧が上昇するためトランジスタ3がONし、出力12がHIGH電圧になる。本発明により+B電源1のいずれかの減電圧状態及び過電圧状態を一つのスイッチング回路で検出ことができ、回路構成を簡素化することができる。



【特許請求の範囲】

【請求項1】 複数の異なる+B電源を備えた各種電気機器及び電子機器において、前記各+B電源の電圧が下がったことを検出する減電圧検出手段と、前記各+B電源の電圧が上昇したことを検出する過電圧検出手段と、前記減電圧検出手段および前記過電圧検出手段を入力し一系統の制御信号として出力するトランジスタとを備える減過電圧検出回路。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、複数の異なる+B電源を備えた各種電気機器及び電子機器において、各+B電源の減電圧と過電圧の両方をひとつの回路で検出し、一系統の制御信号として出力することとを特徴とする減過電圧検出回路に関するものである。

【0002】

【従来の技術】従来、電気機器の+B電源ラインの回路破壊を回避するために、特開平5-30735公報の減電圧検出回路(ショート検出回路)や特開平6-284722公報の過電圧検出回路が知られている。図4に従来の減電圧検出回路と過電圧検出回路を示す。各+B電源ライン1の減電圧は、ダイオード4、抵抗器6、及びスイッチング回路14により検出され、過電圧は、ダイオード5、ツェナーダイオード7、スイッチング回路15により検出される。そして、それぞれ別の制御信号16、17として出力される。

【0003】

【発明が解決しようとする課題】各種電気機器及び電子機器において、電気回路の複雑化やICの使用電源の多様化に伴い、複数の+B電源を用いるのが一般的であるが、従来の回路構成では、+B電源の減電圧時には、検出回路14がONすることで減電圧を検出し、過電圧時には、前記14とは別個の検出回路15がONすることで過電圧を検出するため、それぞれの減電圧と過電圧の検出結果が別系統の制御信号として出力されており回路構成が複雑であった。

【0004】

【課題を解決するための手段】この課題を解決するために本発明は、各+B電源の減過電圧の検出結果をひとつのスイッチング回路により一系統の制御信号として出力するものである。本発明によれば、各+B電源の減過電圧検出回路の出力を一系統にすることで減過電圧検出の回路構成を簡素化することができる。

【0005】

【発明の実施の形態】本発明の請求項1に記載の発明は、各+B電源電圧の減電圧と過電圧の両方をひとつの回路で検出する減過電圧検出回路であり、回路構成を簡素化する作用を有する。

【0006】本発明の請求項2に記載の発明は、各+B電源の減電圧を検出する手段と各+B電源の過電圧を検

出する手段を有し、更にこれら各+B電源の減電圧と過電圧の発生を同じひとつのトランジスタ3がスイッチング動作で検出し一系統の制御信号として出力する手段を有する請求項1記載の減過電圧検出回路であり、回路構成を簡素化する作用を有する。

【0007】本発明の請求項3に記載の発明は、前記トランジスタ回路に任意数のダイオードを接続することで各+B電源電圧の検出減電圧と検出過電圧の電圧レベルをコントロールする請求項2記載の減過電圧検出回路であり、回路構成を簡素化する作用を有する。

【0008】以下、本発明の実施の形態について、図

1、図2、図3を用いて説明する。

【0009】(実施の形態1)図1は本発明の減過電圧検出回路を示し、図1において、複数ある+B電源1の減電圧状態と過電圧状態をひとつのスイッチング回路2のスイッチング動作により検出し、一系統の制御信号を出力することができる。

【0010】図2は本発明の減過電圧検出回路を示しており、トランジスタ3、ダイオード4、ダイオード5、抵抗器6、ツェナーダイオード7、抵抗器8、ツェナーダイオード9、抵抗器10、抵抗器11により構成されている。

【0011】通常時、各+B電源1に所要電圧がかかっている時は、抵抗器8にかかる電圧をトランジスタ3がONするベース-エミッタ間電圧 V_{beon} より小さくなるよう抵抗器8、ツェナーダイオード7、9を選定する。この時、トランジスタ3はOFFとなり、従って出力12はLOW電圧となる。ここで、P点の電圧を V_p 、ツェナーダイオード9のツェナー電圧を V_9 とすると、 $V_p - V_9 < V_{beon}$ の条件を満たすよう定める。ただし、 $V_p < \text{通常状態の} +B \text{電源1の最小電圧}$ となるよう、各+B電源1のツェナーダイオード7のツェナー電圧を定める。

【0012】+B電源1のいずれかの電圧 V_a がLOW電圧に落ちて V_{a1} になった時、その+B電源に接続されるダイオード4の中の一つ D_a がONしてトランジスタ3のベース電圧が下がるためトランジスタ3がONし、抵抗器10及び抵抗器11に電流が流れて出力12がHIGH電圧になる。ここで抵抗器6の抵抗値を R_6 、 D_a の順電圧を V_{ad} とすると、

$$(V_p - V_{ad} - V_{a1}) * R_8 / (R_6 + R_8) > V_{beon}$$

の条件を満たすよう定める。

【0013】次に+B電源1のいずれかの電圧 V_b が所要電圧を上回り V_{bh} になった時、 V_p が上昇し、トランジスタ3がONし、抵抗器10及び抵抗器11に電流が流れて出力12がHIGH電圧になる。ここで、 V_b に接続されるダイオード5の順電圧を V_{bd} 、ツェナーダイオード7のツェナー電圧 V_{bz} とすると

$$V_{bh} - V_{bd} - V_{bz} - V_9 > V_{beon}$$

の条件を満たすよう定める。

【0014】それぞれの+B電源1に対するツェナーダイオード7のツェナー電圧はツェナー電圧=+B電源電圧-ダイオード4の順電圧- V_p と定める。

【0015】このように、+B電源1のいずれかの減電圧状態及び過電圧状態を一つのスイッチング回路で検出することができる。

【0016】(実施の形態2)図3は本発明の減過電圧検出回路を示し、図2のトランジスタ3のエミッタに複数個のダイオード13を接続したものである。

【0017】ダイオード13の総順電圧を V_{13} とすると、上記 V_{beon} を等価的に次式の V_{beon}' としてみなすことができる。

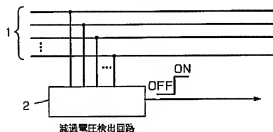
$$【0018】V_{beon}' = V_{beon} + V_{13}$$

すなわち、 V_{13} を増やせば、トランジスタ3をONさせるための電圧が必要となり、減電圧をより低い電圧の検出レベルに、また、過電圧をより高い電圧の検出レベルに設定することができる。

【0019】

【発明の効果】以上のように本発明によれば、一つのスイッチング回路の構成により、一系統の制御信号を用いて複数の+B電源電圧の減電圧や過電圧の検出を行うことができる。

【図1】



【図面の簡単な説明】

【図1】本発明の実施の形態1における減過電圧検出回路を示す図

【図2】本発明の実施の形態2における減過電圧検出回路を示す図

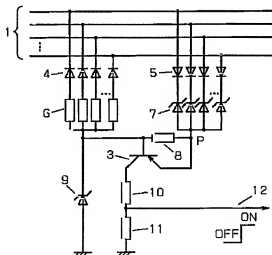
【図3】本発明の実施の形態3における減過電圧検出回路を示す図

【図4】従来の減過電圧検出回路を示す図

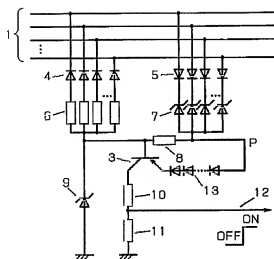
【符号の説明】

- 1 +B電源
- 2 減過電圧検出回路
- 3 トランジスタ
- 4 スイッチングダイオード
- 5 スイッチングダイオード
- 6 抵抗器
- 7 ツェナーダイオード
- 8 抵抗器
- 9 ツェナーダイオード
- 10 抵抗器
- 11 抵抗器
- 12 制御信号
- 13 ダイオード
- 14 減電圧検出回路
- 15 過電圧検出回路
- 16 制御信号
- 17 制御信号

【図2】



【図3】



【図4】

